

Practitioner's Docket No. 1406/39

PATENT



44

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Christian Panis
Application No.: 10/050,341
Filed: 01/16/2002
For: DATA PROCESSING METHOD

Group No.: Not Assigned
Examiner: Not Assigned

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Germany

Application Number: 101 01 949.1

Filing Date: 01/17/2001

Date: 4-5-02


Signature of Practitioner

Reg. No.: 28,428
Tel. No.: 001-919-493-8000
Customer No.: 25297



25297

PATENT TRADEMARK OFFICE

Richard E. Jenkins
JENKINS & WILSON, P.A.
Suite 1400 University Tower
3100 Tower Boulevard
Durham, NC 27707
US

CERTIFICATE OF MAILING (37 C.F.R. section 1.8a)

I hereby certify that this correspondence is, on the date shown below, being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: 4/5/02


Signature

Shaylor E. Dunn
(type or print name of person certifying)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 01 949.1

Anmeldetag: 17. Januar 2001

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Datenverarbeitungsvorrichtung

IPC: G 06 F 9/38

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 07. Februar 2002
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag



Agurks

Beschreibung

Datenverarbeitungsvorrichtung

- 5 Die vorliegende Erfindung betrifft eine Datenverarbeitungsvorrichtung mit einer Mehrzahl von parallel arbeitenden Prozessoren, welchen gleichzeitig ein jeweiliger Befehl zur Datenverarbeitung zuführbar ist.
- 10 Bei der Datenverarbeitung durch Rechnersysteme tritt oft das Problem auf, daß in Abhängigkeit vom Inhalt eines bestimmten Registers verschiedene Rechenoperationen alternativ ausgeführt werden sollen.
- 15 Fig. 3 zeigt ein Beispiel für eine entsprechende Programmstruktur.

In Fig. 3 bezeichnen IF...THEN - ELSE - END IF eine bedingte Ausführungsstruktur und ADD (...) entsprechende verschiedene Rechenoperationen, hier Additionen. Bei diesem Beispiel wird zunächst getestet, ob der Inhalt des Registers d14 gleich „0“ ist. Trifft dies zu, werden die Inhalte der Register a0, a1, a2 zusammenaddiert, und trifft dies nicht zu, werden die Inhalte der Register a1, a2, a3 zusammenaddiert.

25 Liegt eine Rechnerarchitektur mit einem einzigen Prozessor vor, so wird diese Aufgabenstellung durch die Verwendung von bedingten Sprüngen und sogenannten Flags gelöst. Eine solche Abarbeitung des Programms ist jedoch rechenzeitaufwendig.

30 Heutzutage arbeitet man daher mit Pipeline-Architekturen, bei denen mehrere Prozessoren eines Rechners zu einer Pipeline zusammengeschaltet sind.

Fig. 4 zeigt ein Beispiel für eine bekannte Pipeline-Architektur, bei der fünf Prozessoren zu einer Pipeline zusammengeschaltet sind.

5 In dem Beispiel von Fig. 4 bezeichnen P1-P5 die fünf verschiedenen Prozessoren. Die Befehle sind hier jeweils in drei Verarbeitungsschritte aufgeteilt, nämlich Aufruf F1-F5, Dekodierung D1-D5 und Ausführung E1-E5.

10 Somit durchlaufen die Befehle hinsichtlich der Zeit t gegenüber einander versetzt die Prozessoren P1-P5, welche damit gleichzeitig von verschiedenen Befehlen belegt sind.

In diesem Zusammenhang ist es bekannt, daß die verschiedenen Befehle B einen eigentlichen Befehlsteil BT aufweisen, an den ein Bedingungsteil BED von typischerweise einigen (z.B. 5) Bit angehängt ist, der das Bedingungsresultat trägt, wie in Fig. 5 gezeigt. Eine solche Struktur macht jedoch alle Befehle länger und ist somit platzaufwendig.

20 Die der vorliegenden Erfindung zugrunde liegende Aufgabe steht darin, eine Datenverarbeitungsvorrichtung und ein Datenverarbeitungsverfahren mit bedingter Befehlsverarbeitung zu schaffen, welche eine bessere Codedichte ermöglichen.

25 Diese Aufgabe wird durch die in Anspruch 1 angegebene Datenverarbeitungsvorrichtung gelöst.

Die der vorliegenden Erfindung zugrundeliegende Idee liegt 30 darin, daß mindestens einem der Prozessoren ein Bedingungsbefehl zuführbar ist, welcher die Ausführung eines weiteren Befehls in mindestens einem der weiteren Prozessoren von dem Bedingungsbefehl bedingt gestaltet.

Mit anderen Worten wird für einen der Prozessoren ein Befehl definiert, der die Möglichkeit bietet, sowohl einen einzigen weiteren Befehl als auch mehrere weitere Befehle als auch alle weiteren Befehle der bzw. die gleichzeitig an den weiteren 5 Prozessoren anliegen, daraus bedingt zu gestalten.

So lassen sich kurze Sprünge verhindern, die Verlustleistung durch effiziente Steuerung verringern und vor allem eine bessere Codedichte erzielen. Außerdem gewährleistet dies eine 10 hohe Flexibilität mit wenig Programmspeicher-Overhead.

Bevorzugte Weiterbildungen sind Gegenstand der Unteransprüche.

15 Gemäß einer bevorzugten Weiterbildung bewirkt der Bedingungsbefehl, daß das Rechenresultat eines der Prozessoren nicht in ein vorgesehenes Zielregister zurückgeschrieben wird.

20 Gemäß einer weiteren bevorzugten Weiterbildung bewirkt der Bedingungsbefehl, daß eine Adresse nicht berechnet wird.

Gemäß einer weiteren bevorzugten Weiterbildung bewirkt der Bedingungsbefehl, daß ein Befehl durch den mindestens einen der weiteren Prozessoren nicht ausgeführt wird.

25 Gemäß einer weiteren bevorzugten Weiterbildung ist der Prozessor, dem der Bedingungsbefehl zuführbar ist, dazu ausgelegt ist, bei Abwesenheit eines Bedingungsbefehls einen Programmfluß-Steuerbefehl auszuführen.

30 Gemäß einer weiteren bevorzugten Weiterbildung umfassen die weiteren Befehle arithmetische Rechenbefehle und/oder Movebefehle.

Gemäß einer weiteren bevorzugten Weiterbildung ist die mit dem Bedingungsbefehl verbundene Bedingung für alle weiteren Prozessoren gleich. Beispielsweise wird als Bedingung für die Ausführung aller Befehle der Inhalt eines Registers gestestet.

5

Gemäß einer weiteren bevorzugten Weiterbildung ist die mit dem Bedingungsbefehl verbundene Bedingung für alle weiteren Prozessoren verschieden. Beispielsweise wird als Bedingung

10 für die Ausführung eines jeweiligen Befehls der Inhalt eines jeweiligen unterschiedlichen Registers gestestet.

15 Im folgenden wird die vorliegende Erfindung anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die begleitenden Zeichnungen erläutert.

Es zeigen:

Fig. 1 eine schematische Darstellung einer der Prozessoren
20 einer Datenverarbeitungsvorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung;

25 Fig. 2 eine schematische Darstellung des Einflusses des Bedingungsbefehls bei der Datenverarbeitungsvorrichtung gemäß der Ausführungsform der vorliegenden Erfindung;

Fig. 3 ein Beispiel für eine entsprechende Programmstruktur, bei der in Abhängigkeit vom Inhalt eines bestimmten Registers verschiedene Rechenoperationen alternativ ausgeführt werden sollen;

30 Fig. 4 ein Beispiel für eine bekannte Pipeline-Architektur, bei der fünf Prozessoren zu einer Pipeline zusammengeschaltet sind; und

35

Fig. 5 eine bekannte Befehlsstruktur mit einem Bedingungs- teil.

5 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Elemente.

Fig. 1 zeigt eine schematische Darstellung einer der Prozes- soren einer Datenverarbeitungsvorrichtung gemäß einer Ausfüh- 10 rungsform der vorliegenden Erfindung.

In Figur 1 bezeichnen P1 bis P5 einen ersten bis fünften par- allel arbeitenden Prozessor eines nicht näher illustrierten Rechners. Der erste Prozessor P1 kann erste arithmetische Be- 15 fehle CMP1 ausführen, z. B. Additionsbefehle. Der zweite Pro- zessor P2 kann zweite arithmetische Befehle CMP2 ausführen, bspw. ebenfalls Additionsbefehle. Der dritte Prozessor P3 kann erste Movebefehle MOV1 ausführen. Der vierte Prozessor P 4 kann zweite Movebefehle MOV2 ausführen. Der fünfte Prozes- 20 sor P5 ist dazu ausgelegt, Bedingungsbefehle FSEL auszufüh- ren, falls ein solcher an ihn geleitet wird.

Jeder Bedingungsbefehl FSEL gestaltet die Ausführung aller weiteren Befehle CMP1, CMP2, MOV1, MOV2 der weiteren Prozes- 25 soren P 1 bis P 4 bedingt, was durch die vier Pfeile in Fig. 1 angedeutet ist.

Falls kein Bedingungsbefehl FSEL an den fünften Prozessor P5 angelegt ist, kann dieser Programmablauf-Steueroperationen 30 durch entsprechende Befehle ausführen.

Mit Bezug auf das in Zusammenhang mit Figur 3 beschriebene Beispiel einer bedingten Verarbeitung würde dies bei der Ausführungsform bedeuten, dass der Inhalt des Registers d14 in 35 einem früheren Ausführungsschritt geprüft worden ist und das

Ergebnis zum Zeitpunkt der Bearbeitung nach Fig. 1 in einem entsprechenden Register vorliegt, also die Bedingung bei der Parallelausführung der fünf Befehle durch die Prozessoren P1-P5 gemäß Figur 1 aufgelöst ist.

5

Stellt CMP1 die Addition a0, a1, a2 dar und CMP2 die Addition a1, a2, a3, so würde im Fall d14 gleich "0" der Bedingungsbefehl FSEL bewirken, dass nur der arithmetische Befehl CMP1 ausgeführt wird, nicht aber der arithmetische Befehl CMP2.

10

Analoges können die Movebefehle MOV1, MOV2 bedingt gesteuert werden, sollten sie im betreffenden Programm gleichzeitig ausgeführt werden. Im Beispiel nach Figur 3 haben diese beiden Befehle jedoch keine Relevanz.

15

Fig. 2 zeigt eine schematische Darstellung des Einflusses des Bedingungsbefehls bei der Datenverarbeitungsvorrichtung gemäß der Ausführungsform der vorliegenden Erfindung.

20

In Figur 2 bezeichnet AGU eine Adressenerzeugungseinheit, XM/YM einen Adressenspeicher, RF ein Register-File, BF ein Branch-File, welches den Bedingungsbefehl FSEL enthält, P einen der Prozessoren P1 bis P5 gemäß Figur 1 sowie Bezugssymbole 1, 2, 3, 4, 5, 6 Steuerpunkte, welche durch den Bedingungsbefehl FSEL aus dem Branch-File BF beeinflusst werden können.

25

Bei Steuerpunkt 1, 2 lässt sich das Anlegen einer speziellen Adresse durch die Adressenerzeugungseinheit AGU an den Adressenspeicher XM, YM verhindern. Bei Steuerpunkt 3, 4 lässt sich das Anlegen eines Registerinhalts aus dem Register-File RF an den Prozessor P verhindern. Bei Steuerpunkt 5, 6 lässt sich das Neuschreiben eines Registerwertes durch den Prozessor P in das Register-File RF verhindern.

35

Dies sind die gängigsten Einflussfunktionen, welche man mit dem Bedingungsbefehl FSEL verbinden kann, um beispielsweise eine arithmetische Operation oder eine Moveoperation bedingt zu gestalten und somit Verlustleistung zu sparen.

5

Obwohl die vorliegende Erfindung anhand bevorzugter Ausführungsbeispiele vorstehend beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

10

Insbesondere ist es durchaus vorstellbar, auch weitere oder andere Steuerfunktionen mit dem Bedingungsbefehl FSEL zu verbinden.

15

Auch ist es möglich, daß die mit dem Bedingungsbefehl verbundene Bedingung für alle weiteren Prozessoren verschieden ist, z.B. für jeden Prozessor ein anderes Register geprüft wird, um die Aktivierung/ Deaktivierung seiner Operation zu entscheiden.

Patentansprüche

1. Datenverarbeitungsvorrichtung mit:

5 einer Mehrzahl von parallel arbeitenden Prozessoren (P1-P5),
welchen gleichzeitig ein jeweiliger Befehl (CMP1, CMP2, MOV1,
MOV2, FSEL) zur Datenverarbeitung zuführbar ist;

dadurch gekennzeichnet, daß

10

mindestens einem der Prozessoren (P5) ein Bedingungsbefehl
(FSEL) zuführbar ist, welcher die Ausführung eines weiteren
Befehls (CMP1, CMP2, MOV1, MOV2) in mindestens einem der wei-
teren Prozessoren (P1-P4) von dem Bedingungsbefehl (FSEL) be-
dingt gestaltet.

15

2. Datenverarbeitungsvorrichtung nach Anspruch 1, dadurch ge-
kennzeichnet, daß der Bedingungsbefehl (FSEL) bewirkt, daß
das Rechenresultat eines der Prozessoren (P1, P2) nicht in
20 ein vorgesehenes Zielregister (RF) zurückgeschrieben wird.

3. Datenverarbeitungsvorrichtung nach Anspruch 1 oder 2, da-
durch gekennzeichnet, daß der Bedingungsbefehl (FSEL) be-
wirkt, daß eine Adresse nicht berechnet wird.

25

4. Datenverarbeitungsvorrichtung nach Anspruch 1, 2 oder 3,
dadurch gekennzeichnet, daß der Bedingungsbefehl (FSEL) be-
wirkt, daß ein Befehl durch den mindstens einen der weiteren
Prozessoren (P1-P4) nicht ausgeführt wird.

30

5. Datenverarbeitungsvorrichtung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, daß der Prozessor
(P5), dem der Bedingungsbefehl (FSEL) zuführbar ist, dazu
ausgelegt ist, bei Abwesenheit eines Bedingungsbefehls (FSEL)
35 einen Programmfluß-Steuerbefehl auszuführen.

6. Datenverarbeitungsvorrichtung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, daß die weiteren Be-
fehle (CMP1, CMP2, MOVI, MOV2) arithmetische Rechenbefehle

5 und/oder Movebefehle umfassen.

7. Datenverarbeitungsvorrichtung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, daß die mit dem Bedin-
gungsbefehl (FSEL) verbundene Bedingung für alle weiteren

10 Prozessoren (P1-P4) gleich ist.

8. Datenverarbeitungsvorrichtung nach einem der vorhergehen-
den Ansprüche, dadurch gekennzeichnet, daß die mit dem Bedin-
gungsbefehl (FSEL) verbundene Bedingung für alle weiteren

15 Prozessoren (P1-P4) verschieden ist.

Bezugszeichenliste

	P; P1-P5	Prozessoren
	CMP1, CMP2	arithmetische Rechenbefehle
5	MOV1, MOV2	Movebefehle
	FSEL	Bedingungsbefehl
	XM, YM	Adressenspeicher
	AGU	Adressenerzeugungseinrichtung
	BF	Branchfile
10	RF	Registerfile
	F1-5	Aufrufbefehlsteil
	D1-5	Dekodierbefehlsteil
	E1-5	Ausführungsbefehlsteil
	B	Befehl
15	BT	eigentlicher Befehlsteil
	BED	Bedingungsteil

Zusammenfassung

Datenverarbeitungsvorrichtung

5 Die Erfindung schafft eine Datenverarbeitungsvorrichtung mit einer Mehrzahl von parallel arbeitenden Prozessoren (P1-P5), welchen gleichzeitig ein jeweiliger Befehl (CMP1, CMP2, MOV1, MOV2, FSEL) zur Datenverarbeitung zuführbar ist. Mindestens einem der Prozessoren (P5) ist ein Bedingungsbefehl (FSEL) 10 zuführbar, welcher die Ausführung eines weiteren Befehls (CMP1, CMP2, MOV1, MOV2) in mindestens einem der weiteren Prozessoren (P1-P4) von dem Bedingungsbefehl (FSEL) bedingt gestaltet.

15 Fig. 1

FIG 1

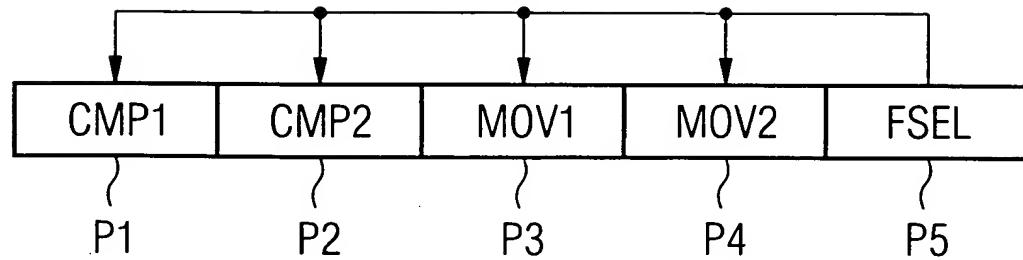


FIG 2

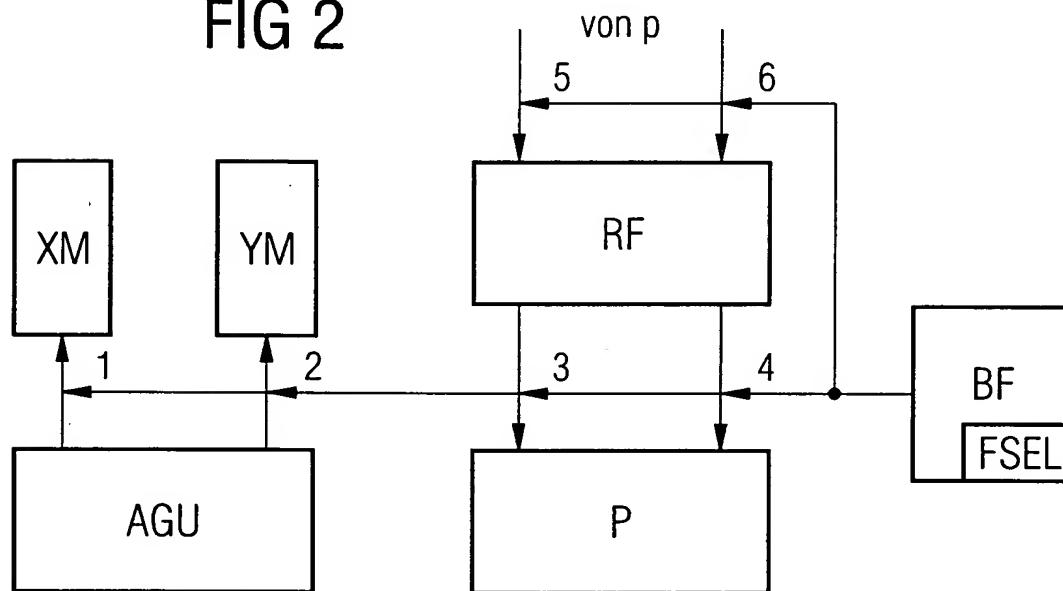


FIG 3 IF $(d14 = "0")$ THEN
ADD a0, a1, a2
ELSE
ADD a1, a2, a3
END IF

FIG 4

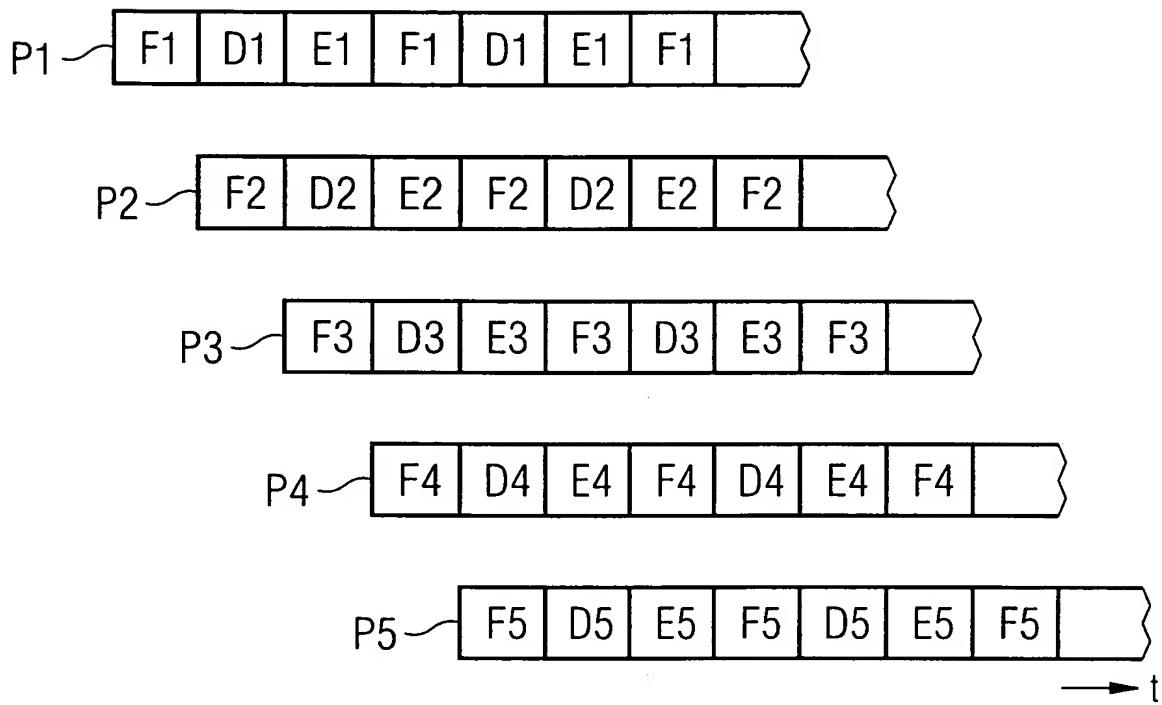


FIG 5

